

PAT-NO: JP403074189A
DOCUMENT-IDENTIFIER: JP 03074189 A
TITLE: DRIVER FOR MOTOR CONTROL IC
PUBN-DATE: March 28, 1991

INVENTOR-INFORMATION:
NAME
MATSUMOTO, YOICHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP01210323
APPL-DATE: August 14, 1989

INT-CL (IPC): H02P005/168
US-CL-CURRENT: 318/479

ABSTRACT:

PURPOSE: To maintain ON resistance of an N-channel MOSFET constituting an H-bridge circuit at an approximately constant low level, regardless of fluctuation of motor voltage, by driving a charge pump booster circuit with motor voltage or with logic source voltage if the motor voltage is lower than the logic source voltage.

CONSTITUTION: An oscillation circuit 6 and a charge pump booster circuit 14 are supplied with a voltage VM from a motor source terminal 18. Consequently, gate drive voltage three times as high as the voltage VM

can be obtained from
the gate terminal 24 even if the motor voltage V_M
fluctuates. Since the gate-
source voltage V_{GS} rises higher upon increase of the motor
voltage V_M , ON
resistance of transistors Q1, Q2, Q5, Q6 at high side in
H-bridge circuits 16,
17 can be maintained at a sufficiently low level.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-74189

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月28日

H 02 P 5/168

G

7315-5H

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 モータ制御ICの駆動回路

⑮ 特 願 平1-210323

⑯ 出 願 平1(1989)8月14日

⑰ 発 明 者 松 本 洋 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

モータ制御ICの駆動回路

特許請求の範囲

(1) モータ駆動部に4個のNチャネルパワーMOS・FETにより形成されるHブリッジ駆動回路と前記NチャネルパワーMOS・FETのうちハイサイド側の2個のNチャネルパワーMOS・FETを駆動するためのチャージポンプ方式の昇圧回路および外部デジタル制御信号により前記Hブリッジ駆動回路を制御する制御ロジック回路とを有するモータ制御ICの駆動回路において、前記Hブリッジ駆動回路に印加するモータ駆動電圧を前記チャージポンプ昇圧回路の駆動電圧と同一にすることを特徴とするモータ制御ICの駆動回路。

(2) モータ駆動電圧が制御ロジック部のロジック電源電圧より高い時はチャージポンプ昇圧回路

をモータ電圧で駆動し、前記モータ電圧がロジック電源電圧より低い時は前記チャージポンプ昇圧回路を前記ロジック電源電圧で駆動する切り替えスイッチ回路を有することを特徴とする請求項(1)記載のモータ制御ICの駆動回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明はモータ制御ICの駆動回路に関し、特にモータ駆動部にNチャネルパワーMOS・FETを4個用いて形成したHブリッジ駆動回路を有するモータ制御ICの駆動回路に関する。

〔従来の技術〕

従来、かかるモータ制御ICの駆動回路におけるHブリッジ駆動回路は、モータの正転、逆転を容易に実現できるので、モータ駆動用として非常に普及した回路である。最近はON抵抗を下げるために、Hブリッジを構成するトランジスタとしてパワーMOS・FETを使用する場合が多く、特にディスクリート構成の場合はハイサイド側に

PチャネルパワーMOS・FETを用い、しかもロウサイド側にNチャネルパワーMOS・FETを使用している。しかし、モノリシック構成とすると、かかるPチャネルパワーMOS・FETは面積が大きくなり不利であるため、ハイサイド側にもNチャネルパワーMOS・FETを使用し、ハイサイドのパワーMOS・FET駆動用としてチャージポンプによる昇圧回路を使用するのが一般的である。

第5図はかかる従来の一例を示すNチャネルパワーMOSのHブリッジモータ制御ICの駆動回路図である。

第5図に示すように、かかるモータ制御ICの駆動回路は昇圧電圧を得るために、まずチャージポンプ昇圧回路14内のスイッチを発振回路6で制御し、2つの昇圧コンデンサ11、12にそれぞれロジック電源電圧(V_{DD})を充電する。次に、基準となるロジック電源電圧(V_{DD})に対し、2つのコンデンサ11、12にそれぞれ充電した電圧を加算するように内部スイッチを制御

し、最終的にはゲート端子24に V_{DD} の3倍の昇圧電圧を得る。この昇圧電圧をさらに出力コンデンサ13に充電する。以上の動作を発振回路6により繰り返す。このゲート端子24に得られた電圧 $3 \times V_{DD}$ はハイサイド側のNチャネルパワーMOS・FET Q1、Q2およびQ5、Q6を十分にONさせるために必要となる。Hブリッジ回路16、17を構成するトランジスタのON、OFFはコントロール入力1～3に印加されたコントロール信号によって制御される。このためコントロール信号入力をコントロール回路10でデコードし、レベルシフト回路15で前述のゲート端子24に得られた電圧($3 \times V_{DD}$)に電圧変換する。このHブリッジ回路16、17においては、対角線上のトランジスタを交互にON、OFFさせ、モータ巻線19、22に流れる電流の向きを変える。

例えば、Q1とQ4がONの時はQ2とQ3をOFF、またQ1とQ4がOFFの時はQ2とQ3をONさせて、モータ巻線19に流す電流の

向きを反転させる。また、モータを停止する時は全てのトランジスタをOFFとする。

第6図は第5図に示すモータ制御ICにおけるモータ電圧-HブリッジON抵抗特性図である。

第6図に示すように、従来のモータ制御ICにおけるON抵抗特性はロジック電源電圧 V_{DD} が5V、ON抵抗値を上下トランジスタの和としたとき、モータ電圧 V_M が増していくと、抵抗値が指数的に増大する傾向を示している。

〔発明が解決しようとする課題〕

上述した従来のNチャネルパワーMOS・Hブリッジモータ制御ICはパワーMOS・FETのゲートに印加する電圧がロジック電源に印加された電圧の3倍と一定値である。このパワーMOS・FETのON抵抗はゲート・ソース間電圧 V_{GS} で決定され、NチャネルMOS・FETの場合はゲート電圧がソース電圧より高ければ高いほどON抵抗が低くなる。

上述した従来例においては、ロジック電源電圧を5Vとすると、パワーMOS・FETのゲート

電圧は約15Vと一定である。従って、モータ駆動電圧 V_M が増し、15Vに近づくにつれハイサイド側のNチャネルパワーMOS・FETの V_{GS} が小さくなり、ON抵抗が指数的に増大して来るという欠点がある。

また、かかるON抵抗が増すと、飽和電圧が増大し損失も増えるので、パワーMOS・FETをHブリッジに使用する意味がなくなってしまう。かかる対策として昇圧電圧を4倍以上にすると、昇圧用の外付けコンデンサの数が増えるため、IC端子も増え且つ制御回路も複雑となるのでメリットがない。

本発明の目的は、かかるモータ制御ICとしてのNチャネルパワーMOS・FETのON抵抗を低下させ且つほぼ一定になるように安定させることのできるモータ制御ICの駆動回路を提供することにある。

〔課題を解決するための手段〕

本発明のモータ制御ICの駆動回路は、モータ駆動部に4個のNチャネルパワーMOS・FET

により形成されるHブリッジ駆動回路と前記NチャネルパワーMOS・FETのうちハイサイド側の2個のNチャネルパワーMOS・FETを駆動するためのチャージポンプ方式の昇圧回路および外部デジタル制御信号により前記Hブリッジ駆動回路を制御する制御ロジック回路とを有するモータ制御ICの駆動回路において、前記Hブリッジ駆動回路に印加するモータ駆動電圧を前記チャージポンプ昇圧回路の駆動電圧と同一にするように構成される。

また、本発明のモータ制御ICの駆動回路は、モータ駆動電圧が制御ロジック部のロジック電源電圧より高い時はチャージポンプ昇圧回路をモータ電圧で駆動し、前記モータ電圧がロジック電源電圧より低い時は前記チャージポンプ昇圧回路を前記ロジック電源電圧で駆動する切り替えスイッチ回路を有するように構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

3倍の値のゲート駆動電圧が得られる。従って、Hブリッジ回路16、17におけるハイサイド側のトランジスタQ1、Q2およびQ5、Q6はモータ電圧 V_M が高くなってもゲート・ソース間電圧 V_{gs} がさらに高くなるので、十分に低いON抵抗を保つことができる。

第2図は第1図に示すモータ制御ICにおけるモータ電圧-HブリッジON抵抗特性図である。

第2図に示すように、上下トランジスタの和であるON抵抗は安定化されるが、特にモータ電圧 V_M がロジック電源電圧 V_{DD} よりも高い時にその効果は大きい。なお、ロジック部を構成するコントロール回路10はロジックICとのインタフェースを保つため、モータ電圧 V_M とは別のロジック電源電圧 V_{DD} で駆動する必要がある。

第3図は本発明の第二の実施例を示すNチャネルパワーMOSのHブリッジモータ制御ICの駆動回路図である。

第3図に示すように、本実施例はモータ電源電圧 V_M がロジック電源電圧 V_{DD} よりも低い時に用

第1図は本発明の第一の実施例を示すNチャネルパワーMOSのHブリッジ制御ICの駆動回路図である。

第1図に示すように、本実施例は前述した従来例の回路構成と比較して異なる点は、発振回路6およびチャージ・ポンプ昇圧回路14に対するロジック電源端子5からの電圧(V_{DD})供給に代えて、モータ電源端子18からの電圧(V_M)供給を行うようにしたことにある。その他の回路構成は従来と同様であるので説明を省略する。

かかる本実施例において、発振回路6とチャージポンプ昇圧回路14およびレベルシフト回路15は共にモータ電源端子18に印加されるモータ電圧の少なくとも3倍の回路耐圧を有している。すなわち、モータ電圧を V_M とすると、チャージポンプ昇圧回路14の動作電圧は V_M であるので、ゲート端子24には $3 \times V_M$ の電圧が得られる。

上述の構成とすることにより、モータ電圧 V_M が変化しても、ゲート端子24には絶えず V_M の

いられ、かかる時はチャージポンプ昇圧回路14の駆動電圧を V_{DD} とした方が高いゲート電圧が得られるので有利である。

本実施例は前述した第一の実施例に加えて、ロジック電源端子電圧 V_{DD} とモータ電圧 V_M を比較する比較器28と、スイッチ回路25と、比較器28のための分圧抵抗26、27および29、30とを有し、 $V_{DD} < V_M$ の時にチャージポンプ昇圧回路14を V_M で駆動し、逆に $V_{DD} > V_M$ の時は V_{DD} で駆動するように切り換えることを特徴としている。

すなわち、本実施例においては、 $V_{DD} > V_M$ の時に前述した第一の実施例よりも低いON抵抗を得ることができる。

第4図は第3図に示すモータ制御ICにおけるモータ電圧-HブリッジON抵抗特性図である。

第4図に示すように、ON抵抗特性は従来のON抵抗特性(第6図)と比較しても格段に低く且つ安定化される。

〔発明の効果〕

以上説明したように、本発明のモータ制御ICの駆動回路は、チャージポンプ昇圧回路をモータ電圧で駆動、もしくはモータ電圧がロジック電源電圧より低いときはロジック電源電圧により駆動することにより、モータ電圧が変化してもHブリッジ回路を形成するNチャネルパワーMOS・FETのON抵抗を低く且つほぼ一定に保つことができるという効果がある。

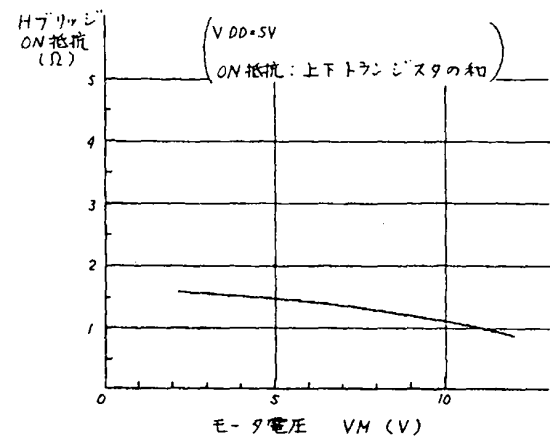
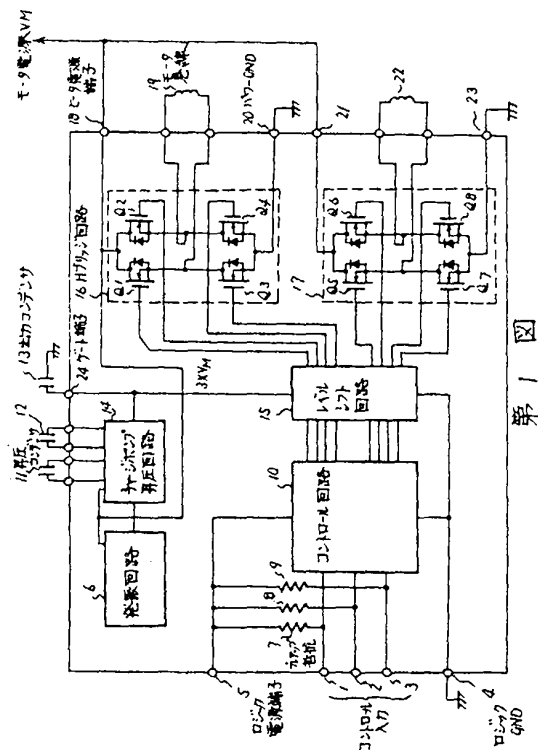
図面の簡単な説明

第1図は本発明の第一の実施例を示すNチャネルパワーMOSのHブリッジモータ制御ICの駆動回路図、第2図は第1図に示すモータ制御ICにおけるモータ電圧-HブリッジON抵抗特性図、第3図は本発明の第二の実施例を示すNチャネルパワーMOSのHブリッジモータ制御ICの駆動回路図、第4図は第3図に示すモータ制御ICにおけるモータ電圧-HブリッジON抵抗特性図、第5図は従来の一例を示すNチャネルパワーMOSのHブリッジモータ制御ICの駆動回路

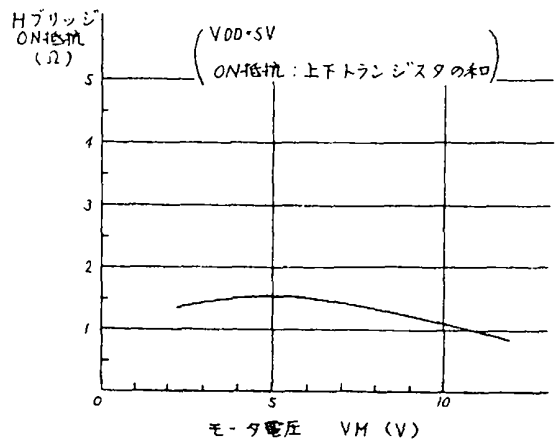
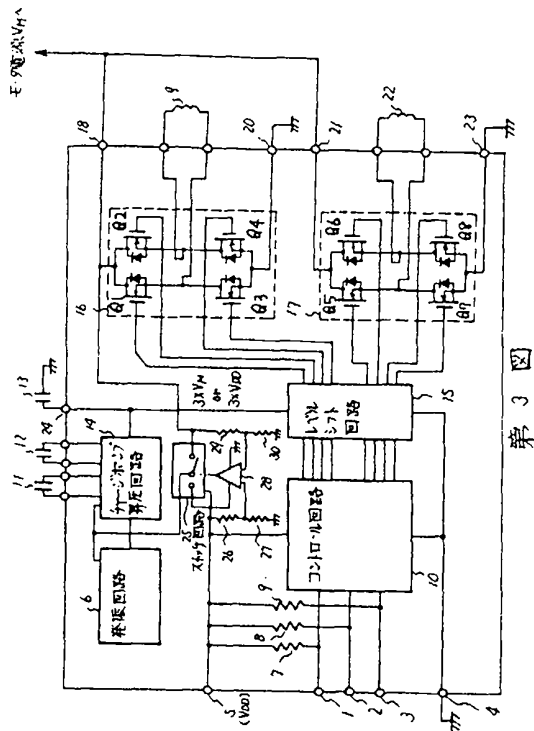
図、第6図は第5図に示すモータ制御ICにおけるモータ電圧-HブリッジON抵抗特性図である。

1〜3…コントロール入力、4…ロジックGND、5…ロジック電源端子、6…発振回路、7〜9…プルアップ抵抗、10…コントロール回路、11、12…昇圧コンデンサ、13…出力コンデンサ、14…チャージポンプ昇圧回路、15…レベルシフト回路、16、17…Hブリッジ回路、18、21…モータ電源端子、19、22…モータ巻線、20、25…パワーGND、24…ゲート端子、Q1〜Q8…NチャネルパワーMOS・FET。

代理人 弁理士 内 原 晋

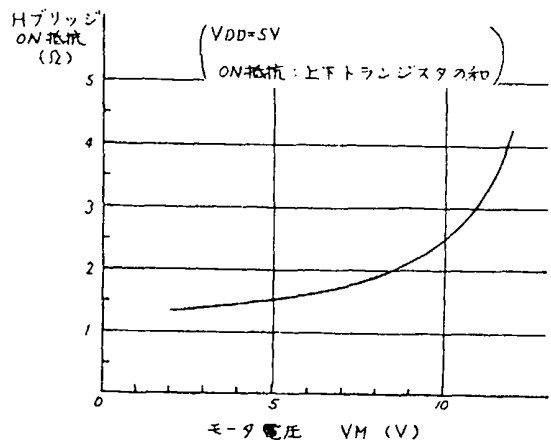
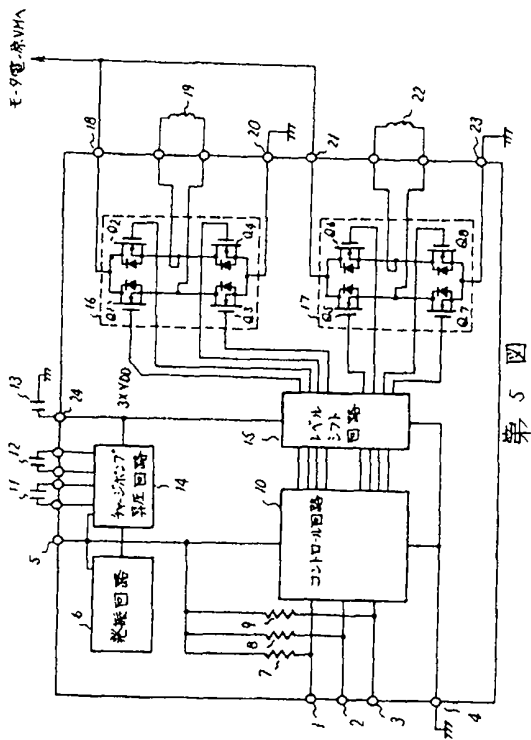


第2図



* ロジック電源端子印加電圧 $V_{DD}=5V$ とする

第4図



第6図